

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317452

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 21/768

H01L 21/28

(21)Application number : 10-204396

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.07.1998

(72)Inventor : ASAHINA MICHIO
MORIYA NAOHIRO
MATSUMOTO KAZUMI
TAKEUCHI JUNICHI

(30)Priority

Priority number : 09249535
10 67867Priority date : 29.08.1997
03.03.1998

Priority country : JP

JP

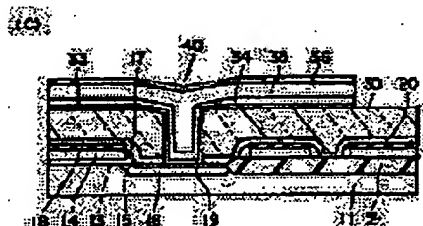
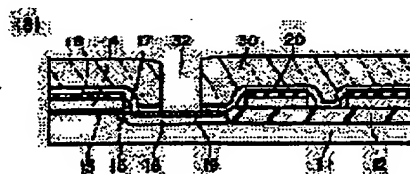
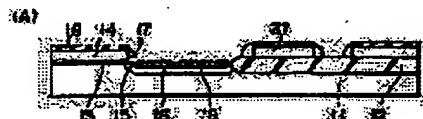
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device without voids and breaking of wires and having superior step coverage using Al or an Al alloy for the conductive material in a connection hole, and to provide a manufacturing method of the semiconductor device.

SOLUTION: A connection hole 32 is formed on the interlayer insulating film, consisting of a SiO₂ film 20 and a BPSG film 30 formed on a semiconductor substrate 11 containing elements. After the gasified component contained in the interlayer insulating film has been removed by heat treatment at 300 to 550° C under a decompression state, a barrier layer 33 consisting of a TiN film and a Ti film is formed on the surface of the interlayer insulating film and the connection hole 32. The substrate is cooled down to 100° C or lower, and the first Al film 34 consisting of Al or an Al alloy is formed on the barrier layer at a temperature of 200° C or lower.

After a second Al film 35 has been formed thereon at 300° C or higher, a deposition layer consisting of a TiN antireflection film 36 is formed through a sputtering method. Then, the barrier layer, the first and the second Al films and the reflection preventing film are etched using mixed gas of Cl₂ and BCl₃. As a result, a metal wiring layer 40 is patternized, and Al is filled in the connection hole with satisfactory step coverage.



LEGAL STATUS

[Date of request for examination]

27.03.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-317452

(43) 公開日 平成11年(1999)11月16日

(51) IntCl [°]	識別記号	F I	
H 0 1 L 21/768		H 0 1 L 21/90	C
21/28	3 0 1	21/28	3 0 1 T

審査請求 未請求 請求項の数 9 F D (全 12 頁)

(21) 出願番号 特願平10-204396

(22) 出願日 平成10年(1998) 7 月 3 日

(31) 優先権主張番号 特願平9-249535

(32) 優先日 平 9 (1997) 8 月 29 日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-67887

(32) 優先日 平10(1998) 3 月 3 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 朝比奈 通雄

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(72) 発明者 守屋 直弘

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(72) 発明者 松本 和己

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 井上 一 (外 2 名)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 接続孔内の導電物質に Al または Al 合金を用い、空隙や断線などの発生がなく、ステップ被覆率が優れた接続構造の半導体装置とその製造法を提供する。

【解決手段】 素子を含む半導体基板 11 上に形成された SiO₂ 膜 20 と BPSG 膜 30 からなる層間絶縁膜に接続孔 32 を形成する。減圧下 300～550℃ で熱処理して層間絶縁膜中のガス化成分を除去した後、層間絶縁膜及び接続孔 32 の表面に TiN 膜/Ti 膜のバリア層 33 を形成する。基板を 100℃ 以下に冷却し、バリア層上に 200℃ 以下で Al または Al 合金の第 1 の Al 膜 34 を形成し、その上に 300℃ 以上で同様な第 2 の Al 膜 35 を形成後、さらにスパッタ法で TiN の反射防止膜 36 を形成する。次に Cl₂ と BCl₃ 混合ガスを用いバリア層、第 1 と第 2 の Al 膜及び反射防止膜の堆積層をエッチングして金属配線層 40 はパターン化され、良好なステップ被覆率で接続孔に Al が埋込まれる。

